

THIN-FILM TRANSISTOR ARRAY

Patent Number: JP5216067
Publication date: 1993-08-27
Inventor(s): IKEDA HIROYUKI
Applicant(s): SONY CORP
Requested Patent: ☐ JP5216067
Application Number: JP19920047967 19920204
Priority Number(s):
IPC Classification: G02F1/136; G02F1/133; G02F1/1343; H01L27/12; H01L29/784
EC Classification:
Equivalents:

Abstract

PURPOSE: To provide the structure of cumulative capacitors which is enhanced in the opening rate of picture elements and has a process matching property.

CONSTITUTION: This thin-film transistor array has plural pieces of thin-film transistors (TFTs) having gate electrodes formed on the main surface of a transparent substrate 1 and picture element electrodes 10 connected to the respective TFTs. At least two insulating layers are provided between the gate electrodes and the picture element electrodes 10. Transparent auxiliary electrodes 8 are provided on at least one insulating layer 7 of these insulating layers and at least one insulating layer 9 is clamped between the transparent auxiliary electrodes 8 and the picture element electrodes 10, by which the cumulative capacity components are formed. Since the auxiliary electrodes 8 are transparent, the opening rate of the picture elements is not adversely affected. Since the transparent auxiliary electrodes 8 are provided after the gate electrodes are formed, the process matching property is good.

Data supplied from the esp@cenet database - 12

THIS PAGE BLANK (USPTO)

(19) 日本国特許庁(JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平5-216067

(43) 公開日 平成5年(1993)8月27日

(51) Int. Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
G O 2 F	1/136	5 0 0	9018-2 K	
	1/133	5 5 0	7820-2 K	
	1/1343		9018-2 K	
H O 1 L	27/12	A	8728-4 M	
			9056-4 M	
審査請求	未請求	請求項の数3	H O 1 L 29/78 3 1 1 A	最終頁に続く
			(全6頁)	

(21) 出願番号 特願平4-47967

(22) 出願日 平成4年(1992)2月4日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 池田 裕幸

東京都品川区北品川6丁目7番35号 ソニー株式会社内

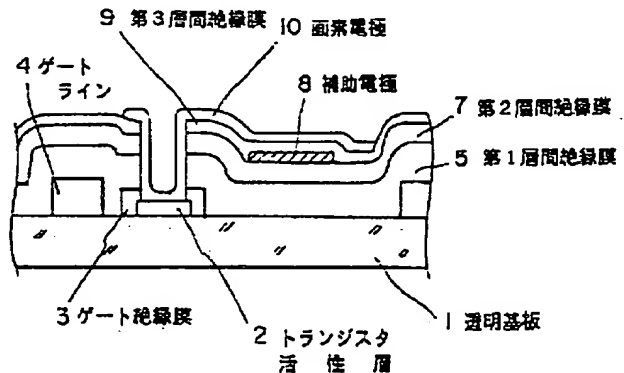
(74) 代理人 弁理士 高橋 光男

(54) 【発明の名称】 薄膜トランジスタアレイ

(57) 【要約】

【目的】 画素開口率を高め且つプロセス整合性の取れた蓄積容量構造を実現する。

【構成】 薄膜トランジスタアレイは透明基板1の主面上に形成されたゲート電極を有する複数の薄膜トランジスタと、この薄膜トランジスタのそれぞれに接続された画素電極10とを備えている。ゲート電極と画素電極10との間には少なくとも2層の絶縁層が設けられている。この絶縁層の少なくとも1層の絶縁層7上に透明補助電極8を設け、この透明補助電極8と画素電極10との間に少なくとも1層の前記絶縁層9が挟持されて蓄積容量成分が形成されている。補助電極8は透明であるので画素開口率に悪影響を及ぼさない。又、透明補助電極8はゲート電極を形成した後設けるのでプロセス整合性が良い。



【特許請求の範囲】

【請求項 1】 一主面上に形成されたゲート電極及びソース／ドレイン電極を有する複数の薄膜トランジスタと、この薄膜トランジスタのそれぞれに接続された画素電極と、この画素電極の電荷を保持する為の蓄積容量とを備えた薄膜トランジスタアレイにおいて、前記ゲート電極と前記画素電極との間には少なくとも 2 層の絶縁層が設けられており、前記蓄積容量が、前記絶縁層の少なくとも 1 層の絶縁層上に設けられた透明な補助電極と、前記画素電極と、これら補助電極と画素電極の間に挟持された少なくとも 1 層の前記絶縁層とで構成されている事を特徴とする薄膜トランジスタアレイ。

【請求項 2】 前記絶縁層のうちの少なくとも 1 層が前記薄膜トランジスタのゲート絶縁膜と同一の材料で構成されている事を特徴とする請求項 1 記載の薄膜トランジスタアレイ。

【請求項 3】 一主面上に形成されたゲート電極及びソース／ドレイン電極を有する複数の薄膜トランジスタと、この薄膜トランジスタのそれぞれに接続された画素電極と、この画素電極の電荷を保持する為の蓄積容量とを有する薄膜トランジスタアレイ基板と、これら画素電極と対向する共通電極を有する基材と、前記薄膜トランジスタアレイ基板と前記基材との間に挟持された液晶層とを備えた液晶表示装置において、前記ゲート電極と前記画素電極との間には少なくとも 2 層の絶縁層が設けられており、前記蓄積容量が、前記絶縁層の少なくとも 1 層の絶縁層上に設けられた透明な補助電極と、前記画素電極と、これら補助電極と画素電極の間に挟持された少なくとも 1 層の前記絶縁層とで構成されている事を特徴とする液晶表示装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明はアクティブマトリクス方式液晶表示装置の駆動用基板として用いられる薄膜トランジスタアレイに関する。より詳しくは、画素ごとに対応して設けられる画質品位向上用の補助電極又は蓄積電極の構造に関する。

【0002】

【従来の技術】多結晶シリコンあるいは非晶質シリコンを用いた薄膜トランジスタは、アクティブマトリクス方式液晶表示装置の画素駆動用能動素子としてさかんに研究開発されている。図 5 を参照して薄膜トランジスタを利用したアクティブマトリクス方式液晶表示装置の構成を簡潔に説明する。個々の薄膜トランジスタ 101 は、並列する走査線群 106 (G1 ないし Gn) と、これに直交する方向に設けられた信号線群 105 (S1 ないし Sm) との間の交差部に配置している。各走査線例えば G1 の一部は薄膜トランジスタ 101 のゲート電極を構成しており、各信号線例えば S1 の一部はトランジスタ 101 のソース電極に用いられている。又、交差部ごと

に画素電極 102a が設けられておりトランジスタ 101 のドレイン電極と電気的に接続されている。あるいは、ドレイン電極と画素電極を一体的に形成しても良い。この様にして、画素電極 102a と対向基板上に設けられた共通電極 102b との間に液晶セル 102 が形成される。この液晶セル 102 と並列して蓄積容量 103 も形成されている。各交差部ごとに設けられた薄膜トランジスタ 101、液晶セル 102、蓄積容量 103 とで画素 104 が構成される。

【0003】信号線群 105 はデータドライバ 107 に接続されているとともに、走査線群 106 はゲートドライバ 108 に接続されている。ゲートドライバ 108 により走査線が順次選択された時、データドライバ 107 から信号線群 105 に出力された画像信号が、薄膜トランジスタ 101 を介して個々の液晶セル 102 に書き込まれ、対応する画素電極 102a の電位が所定レベルにセットされる。そして、次のフレーム期間において書き換えられるまでの間、画素電極の電位は液晶セルの容量により保持あるいはホールドされる。しかしながら、このホールド電位は書き込み直後ゲート電極とドレイン電極との間に形成されたオーバーラップ容量に対する電荷再分配により、ステップ状に負極性側にレベルシフトを引き起す恐れがある。この為、液晶セルへ印加される電圧が正負極性間で非対称となり表示フリッカの原因となる。又、ホールド期間中、薄膜トランジスタのソース及びドレイン間におけるリークや液晶セルの抵抗成分を介した自己放電により画素電極電位が減衰してしまう恐れがある。この様な不具合は画素の微細化が進めば進む程液晶セル容量が小さくなる為顕著になる。

【0004】かかる 2 つの欠点を克服する為に、従来から図 5 の等価回路に示す様に、蓄積容量 103 が液晶セル 102 と並列的に設けられている。つまり、画像信号の書き込み時、液晶セルと蓄積容量との両者に電荷が充電されるので、前述した電荷再分配時における液晶容量の電荷の目減り分が少なくなりレベルシフトが抑制される。又、画素容量が全体として大きくなるので画素電極電位減衰に関する時定数が大きくなり画像信号のホールドが持続できるので表示コントラストが高くなる。

【0005】この様な機能を有する蓄積容量の形成方式には 2 通りある。1 つは、1 行前の走査線と画素電極とを部分的にオーバーラップさせ容量を形成するものである。もう 1 つは、図 5 に示した様に、走査線とは独立した補助電極線 103a を設け一定電位例えば接地電位を与えて、この補助電極線と画素電極との間に容量を設けるものである。前者の方式は走査線をそのまま利用できる分画素電極を広くとれる利点がある反面、電位変動の影響を受け易いという欠点がある。一方、後者の方式は画素電位が安定する利点がある反面、画素電極とオーバーラップする補助電極線の面積分だけ実効画素面積が減少し開口率がとれないので表示が暗くなるとい

う欠点がある。実用上の観点から安定した表示性能が得られる後者の方式が優勢になってきている。

【0006】

【発明が解決しようとする課題】図6を参照して本発明が解決しようとする課題を簡潔に説明する。この例は多結晶シリコンを用いたプレーナ型の薄膜トランジスタが形成された液晶表示装置駆動用基板の断面構造を示す。この図は、薄膜トランジスタのチャネル幅方向に沿ってドレイン領域上を切断した断面図である。透明基板201の表面には多結晶シリコン薄膜をパタニングして得られたトランジスタ活性層202が設けられている。その表面はゲート絶縁膜203により被覆されている。その横には走査線あるいはゲートライン204が延設されている。これらトランジスタ活性層202等は第1層間絶縁膜205により被覆されている。この絶縁膜205の上には図示しない信号線あるいはソースライン等が形成されており、第2層間絶縁膜207で被覆される。第2層間絶縁膜207の上には導電性透明材料からなる画素電極210がパタニング形成される。その一部はコンタクトホールを介してトランジスタ活性層202に形成されたドレイン領域に電気接続されている。

【0007】多結晶シリコン薄膜を用いたプレーナ型の場合には、通常補助電極線208はトランジスタ活性層202と同時に形成する事がプロセス上有利である。この為、補助電極線208も多結晶シリコン薄膜をパタニングして形成される。この補助電極線208は層間絶縁膜を介して画素電極210とオーバーラップしており蓄積容量を形成する。しかしながら、多結晶シリコン材料からなる為光学的に不透明でありオーバーラップ分だけ画素電極の実効表示面積が削減されるという問題点がある。かかる開口率の低下は特に画素の高精細化及び高密度化を進める上で大きな障害となる。加えて、補助電極線に用いられた多結晶シリコンを選択的に低抵抗化処理する必要があり工程が複雑になるという問題点もある。

【0008】画素開口率の低下を防ぐ為に、補助電極線の材料に透明導電膜を利用する方式が提案されている。一例として、非晶質シリコン薄膜を用いた逆スタガード型の薄膜トランジスタアレイにおいて、ゲート電極を形成する前に基板上に透明導電膜からなる補助電極を形成している。この上に絶縁膜を介して画素電極をオーバーラップして形成し蓄積容量を設ける方式である。しかしながら、ゲート電極を形成する前のプロセス初期に透明導電膜をパタニング形成すると後工程で様々な不具合が生じる。例えば、次のゲート電極パタニングの為の露光工程でアライメントをとるのが困難となり誤差が発生し易くなる。又、透明電極を堆積した後、絶縁膜形成等の高温プロセスが後工程で加わると透明導電膜の変質が生じるという問題点がある。この様に、従来の透明導電膜を用いた補助電極の形成方法は半導体プロセス全体として見た場合整合性が悪いという問題点がある。

【0009】上述した従来の技術の問題点あるいは課題に鑑み、本発明は画素電極の開口率を犠牲にする事なく且つプロセス整合性に優れた補助電極の構造を提供する事を目的とする。

【0010】

【課題を解決するための手段】上述した従来の技術の課題を解決し且つ本発明の目的を達成する為に講じられた手段を以下に説明する。一般的に、薄膜トランジスタアレイは一主面上に形成されたゲート電極及びソース/ドレイン電極を有する複数個の薄膜トランジスタと、この薄膜トランジスタのそれぞれに接続された画素電極と、この画素電極の電荷を保持する為の蓄積容量とを備えている。かかる構成において、前記ゲート電極と前記画素電極との間に少なくとも2層の絶縁層を設けている。そして、前記蓄積容量が、前記絶縁層の少なくとも1層の絶縁層上に設けられた透明な補助電極と、前記画素電極と、これら補助電極と画素電極の間に挟持された少なくとも1層の前記絶縁層とで構成されているという手段を講じた。一態様においては、前記絶縁層のうちの少なくとも1層が前記薄膜トランジスタのゲート絶縁膜と同一の材料で構成されている。

【0011】

【作用】本発明によれば、透明画素電極とオーバーラップした補助電極は透明導電材料からなり光透過性を有している。この為、オーバーラップしていても画素の開口率が損なわれない為、明るい表示面を有する液晶表示装置が得られる。又、この透明補助電極は薄膜トランジスタのゲート電極を形成した後設けられる。換言すると、高温の半導体プロセスが終了した後に補助電極を形成する為、薄膜トランジスタアレイ全体としてのプロセス整合性が良好になる。

【0012】

【実施例】以下図面を参照して本発明の好適な実施例を詳細に説明する。図1は本発明にかかる薄膜トランジスタアレイの一実施例を示す模式的な断面図であり、多結晶シリコンを用いたプレーナ型薄膜トランジスタアレイの例である。透明基板1は高純度石英ガラスからなる。この上に多結晶シリコン薄膜をパタニングして得られた島状のトランジスタ活性層2が形成される。トランジスタ活性層2の表面を熱酸化して約1000オングストローム程度のゲート絶縁膜3を形成する。次に低抵抗多結晶シリコンからなるゲートライン4を形成する。このゲートライン4の一部は、図示しないがゲート電極としてゲート絶縁膜3を介してトランジスタ活性層2の上に重ねられる。これらトランジスタ活性層2及びゲートライン4を被覆する様に第1層間絶縁膜5が堆積される。この絶縁膜5は、例えばCVD法によりPSGを3000オングストローム程度堆積して形成する。この第1層間絶縁膜5の上に、図示しないがソースライン及びソース電極を一体的に形成する。ソースラインは、例えばスパ

ットリング法を用いて金属アルミニウムを膜厚5000
 オングストロームで堆積した後パタニングして得られ
 る。さらにその上に第2層間絶縁膜7を被覆する。この
 絶縁膜7は第1層間絶縁膜5と同様にCVD法を用いて
 PSGを3000オングストローム程度堆積して形成さ
 れる。

【0013】第2層間絶縁膜7の上には補助電極8が形
 成される。この補助電極8は、例えばITO等からなる
 透明導電膜を1500オングストローム程度の膜厚で堆
 積した後所定の形状にパタニングして形成する。補助電
 極8は外部端子から一定の電圧を印加できる様にパタン
 形成されている。この補助電極8に重ねて第3層間絶縁
 膜9が被覆される。この絶縁膜9は例えば低温プラズマ
 により窒化シリコンを2000オングストローム程度堆
 積して得られる。最後に、第3層間絶縁膜9の上に画素
 電極10が設けられる。この画素電極10は、例えばITO
 等からなる透明導電膜を1500オングストローム程
 度の膜厚で成膜した後パタニングして得られる。画素
 電極10の一端は積層した層間絶縁膜に形成されたコン
 タクトホールを介してトランジスタ活性層2のドレイン
 領域に電気的に接続されている。

【0014】図から明らかな様に、透明画素電極10と
 透明補助電極8はオーバーラップしているとともに、両
 者の間に誘電体からなる第3層間絶縁膜9が介在してい
 るので有効な蓄積容量が得られる。この容量の大きさは
 画素電極を微細化した場合液晶セル容量の2倍以上とな
 る様に補助電極8の面積を設定する事が好ましい。オー
 バーラップした画素電極10及び補助電極8のみならず
 絶縁膜及び基板も全て透明であるので薄膜トランジスタ
 アレイは少なくとも画素電極部分で全体的に透明とな
 る。かかる薄膜トランジスタアレイと共通電極を有する
 基材とを互いに対向して貼り合せるとともに両者の間に
 液晶層を充填する事により透過型の液晶表示装置が得ら
 れる。本発明においては、補助電極8が透明材料である
 為画素電極の開孔率に影響を全く及ぼさない。この為、
 従来に比し画素開孔率が30%程度向上した。

【0015】図2は、図1に示した薄膜トランジスタア
 レイの平面図である。なお、図1に示した断面図は図2
 のAB線に沿って切断したものである。図示する様にト
 ランジスタ活性層2は略矩形にパタニングされている。
 その中央にはゲートライン4から一体的に延設されたゲ
 ート電極Gがゲート絶縁膜を介して重ねられている。ゲ
 ート電極Gの両側には不純物の拡散されたソース領域と
 ドレイン領域が設けられている。ソースライン6はその
 一部分がソース電極Sになっている。又、画素電極10
 の一部分はドレイン電極Dになっている。なお、本例の
 様に画素電極10とドレイン電極Dを一体的に形成する
 構造ばかりでなく、両者を別材料で構成しても良い。ハ
 ッチングで示した様に、画素電極10の下部には第3層
 間絶縁膜を介して補助電極8が延設されている。この補

助電極8は透明材料からなるのでオーバーラップ部分の
 透過率は実質的に損なわれない。本例においてはこの補
 助電極8は補助電極線自体からなり前述した様に外部端
 子に接続される。しかしながら、補助電極線と容量電極
 を構成する補助電極8自体を別に分けてそれぞれ形成し
 ても良い。

【0016】図3を参照して本発明にかかる薄膜トラン
 ジスタアレイの他の実施例を説明する。この例は非晶質
 シリコンを用いた正スタガード型の薄膜トランジスタア
 レイに関するものである。透明基板1の上には金属クロ
 ムからなる2500オングストローム程度の膜厚のゲー
 トライン11が形成されている。その上には、ゲート絶
 縁膜を兼ねる第1層間絶縁膜12が堆積されている。こ
 の絶縁膜12は、例えばプラズマ処理により酸化シリコ
 ンを1800オングストローム程度堆積して成膜する。
 この上に補助電極13を形成する。この補助電極13
 は、例えばITO等からなる透明導電膜を1300オン
 グストローム程度の膜厚で堆積した後パタニングして得
 られる。補助電極13は平面的に見た場合ゲートライン
 11と交差しない様にパタン形成される。次に、同様に
 ゲート絶縁膜を兼ねる第2層間絶縁膜14が堆積され
 る。この絶縁膜14は、例えばプラズマ処理により窒化
 シリコンを1000オングストローム程度で成膜して得
 られる。第2層間絶縁膜14の上には、トランジスタ活
 性層15、エッチングストップ16及び低抵抗半導体層
 (図示せず)を順次重ねて設ける。トランジスタ活性層
 15は非晶質シリコンあるいはアモルファスシリコンか
 らなり500オングストローム程度の膜厚を有する。
 又、エッチングストップ16は1000オングストロ
 ム程度の膜厚を有するプラズマ窒化シリコンからなる。
 続いて、第2層間絶縁膜14の上に画素電極18を形成
 する。これは、例えばITO等からなる透明導電膜を1
 000オングストローム程度の膜厚で堆積した後パタニ
 ングして得られる。最後に、図示しないが金属アルミニ
 ウム等からなるソースライン及びドレイン電極を形成す
 る。なお、ソース電極はソースラインと一体的に形成さ
 れる。ソース/ドレイン電極をエッチングストップ16
 に沿ってエッチング除去し薄膜トランジスタのチャネル
 部を形成する。

【0017】図4は、図3に示す薄膜トランジスタア
 レイの平面図である。なお、図3は図4に表わされたAB
 線に沿って切断された断面形状を示している。図4に示
 す様に、ゲートライン11から一体的に延設された最下
 層のゲート電極に重ねて、順次第1及び第2層間絶縁
 膜、トランジスタ活性層、エッチングストップ16、低
 抵抗半導体層17、ソース/ドレイン電極が形成され
 る。エッチングストップ16に沿って、ソース/ドレイ
 ン電極をエッチング除去する事により、各々分離したド
 レイン電極19Dとソース電極19Sが得られる。ソー
 ス電極19Sはソースラインと一体になっている。一

【0018】

10

【図面の簡単な説明】

【図 2】 第 1 実施例の平面図である。

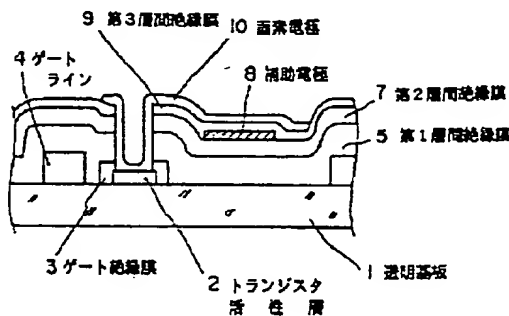
【図4】第2実施例の平面図である。

【図6】従来の薄膜トランジスタアレイの一例を示す断面図である。

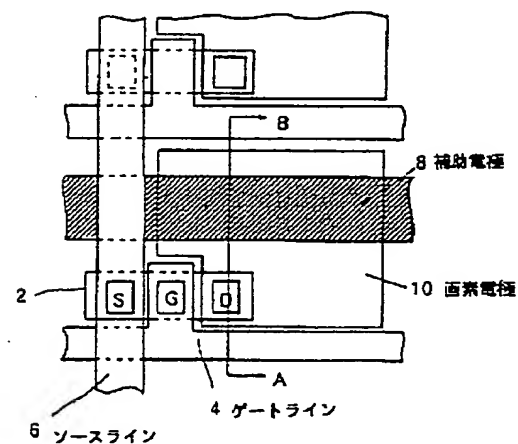
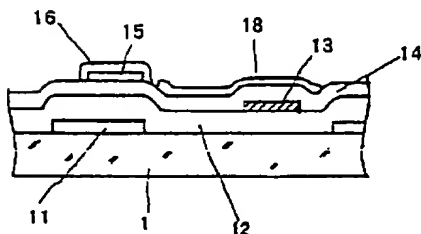
【符号の説明】

- 1 透明基板
- 2 トランジスタ活性層
- 3 ゲート絶縁膜
- 4 ゲートライン
- 5 第1層間絶縁膜
- 7 第2層間絶縁膜
- 8 補助電極
- 9 第3層間絶縁膜
- 10 画素電極

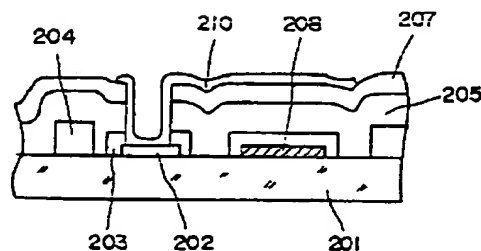
【图 2】



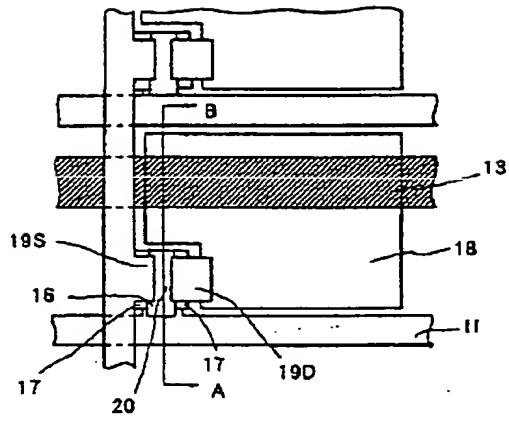
【図 3】



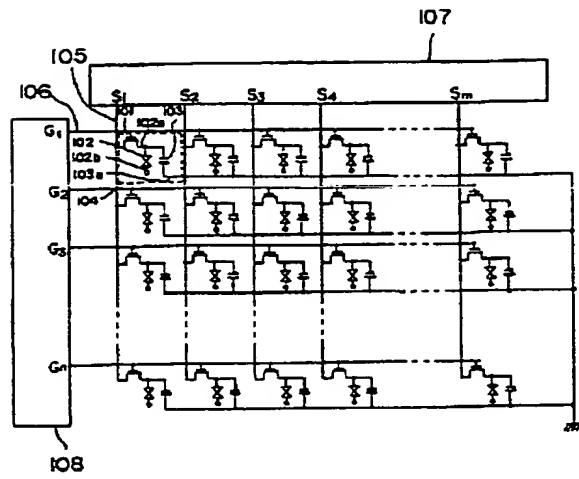
【図 6】



【図4】



【図5】



フロントページの続き

(51) Int. Cl.⁵
H01L 29/784

識別記号 庁内整理番号

F I

技術表示箇所